

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-353073  
 (43)Date of publication of application : 06.12.2002

(51)Int.CI. H01G 9/04  
 H01G 9/012  
 H01G 9/06  
 H01G 9/26  
 // H05K 3/46

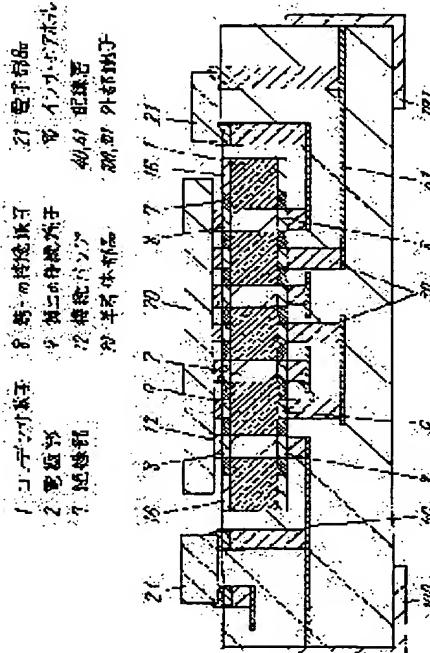
(21)Application number : 2001-158742 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD  
 (22)Date of filing : 28.05.2001 (72)Inventor : KIMURA RYO  
 MIKI KATSUMASA  
 FUJII TATSUO  
 MIDO YUJI  
 KORECHIKA AKIHIRO

## (54) CIRCUIT MODULE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a circuit module which is excellent in high-frequency responsiveness and mountability.

**SOLUTION:** In this circuit module, a capacitor element 1, which is composed of a porous valve metal sheet body provided with a required number of electrodes 2 which are not porous from top to bottom, a dielectric film made at the porous section of this valve metal sheet body, a solid electrolytic layer made on this dielectric film, a collector layer made on this solid electrolytic layer, and an insulator 7 for electrically insulating the electrode and the collector layer from each other, is embedded in a multilayer wiring structure of circuit board.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-353073  
(P2002-353073A)

(43)公開日 平成14年12月6日(2002.12.6)

(51) Int.Cl.<sup>7</sup> 識別記号  
H 0 1 G 9/04  
9/012  
9/06  
9/26  
// H 0 5 K 3/46

F I	テ-マ-ト(参考)	
H 0 1 G	9/06	A 5 E 3 4 6
H 0 5 K	3/46	Q
H 0 1 G	9/05	H
		M

審査請求 未請求 請求項の数16 O.L (全 12 頁)

(21) 出願番号 特願2001-158742(P2001-158742)

(71) 出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72) 発明者 木村 涼  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 三木 勝政  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

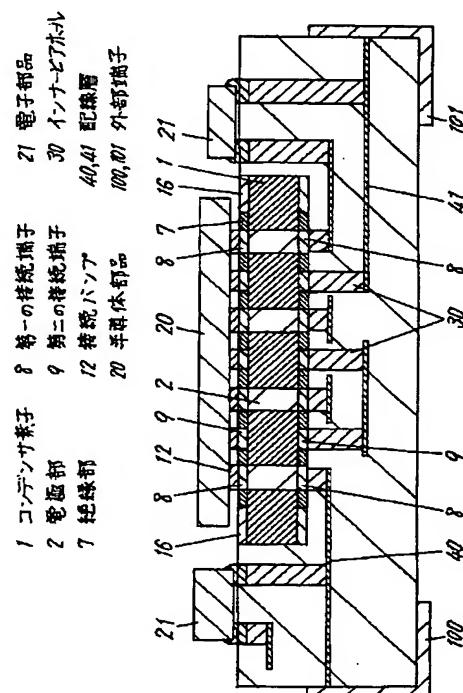
(74) 代理人 100097445  
弁理士 岩橋 文雄 (外2名)

(54) 【発明の名称】 回路モジュール

(57) 【要約】

【課題】 高周波応答性と実装性に優れた回路モジュールを提供することを目的とする。

【解決手段】 上面から下面にわたって多孔質化されていない電極部2を必要数設けた多孔質化された弁金属シート体と、この弁金属シート体の多孔質化された部分に形成された誘電体被膜と、この誘電体被膜上に形成された固体電解質層と、この固体電解質層上に形成された集電体層と、上記電極部と集電体層とを電気的に絶縁する絶縁部7とから構成したコンテンサ素子1を多層配線構造の回路基板に埋め込まれてなる回路モジュールである。



## 【特許請求の範囲】

【請求項1】 上面から下面にわたって多孔質化されていない電極部を必要数設けた多孔質化された弁金属シート体と、この弁金属シート体の多孔質化された部分に形成された誘電体被膜と、この誘電体被膜上に形成された固体電解質層と、この固体電解質層上に形成された集電体層と、上記電極部と集電体層とを電気的に絶縁する絶縁部とからなるコンデンサ素子を有し、このコンデンサ素子は内蔵される回路基板の表面に接続端子部が形成されるように埋め込まれてなる回路モジュール。

【請求項2】 上面から下面にわたって多孔質化されていない電極部を必要数設けた多孔質化された弁金属シート体と、この弁金属シート体の多孔質化された部分に形成された誘電体被膜と、この誘電体被膜上に形成された固体電解質層と、この固体電解質層上に形成された集電体層と、上記電極部と集電体層とを電気的に絶縁する絶縁部とからなるコンデンサ素子を有し、このコンデンサ素子の接続端子部が回路基板の内層部の配線と接続されるように埋め込まれてなる回路モジュール。

【請求項3】 弁金属シート体の片面に多孔質化されていない電極部を必要数設けた多孔質化された弁金属シート体と、この弁金属シート体の多孔質化された部分に形成された誘電体被膜と、この誘電体被膜上に形成された固体電解質層と、この固体電解質層上に形成された集電体層と、上記電極部と集電体層とを電気的に絶縁する絶縁部とからなるコンデンサ素子を有し、このコンデンサ素子は内蔵される回路基板の表面に接続端子部が形成されるように埋め込まれてなる回路モジュール。

【請求項4】 弁金属シート体の片面から他方の面にわたって多孔質化されていない突起状の電極部を必要数設けた多孔質化された弁金属シート体と、この弁金属シート体の多孔質化された部分に形成された誘電体被膜と、この誘電体被膜上に形成された固体電解質層と、この固体電解質層上に形成された集電体層と、上記電極部と集電体層とを電気的に絶縁する絶縁部とからなるコンデンサ素子を有し、このコンデンサ素子の接続端子部が回路基板の内層部の配線と接続されるように埋め込まれてなる回路モジュール。

【請求項5】 弁金属シート体の片面から他方の面にわたって多孔質化されていない突起状の電極部を必要数設けた多孔質化された弁金属シート体と、この弁金属シート体の多孔質化された部分に形成された誘電体被膜と、この誘電体被膜上に形成された固体電解質層と、この固体電解質層上に形成された集電体層と、上記電極部と集電体層とを電気的に絶縁する絶縁部とからなるコンデンサ素子を有し、このコンデンサ素子は内蔵される回路基板の表面に接続端子部が形成されるように埋め込まれてなる回路モジュール。

【請求項6】 弁金属シート体の片面から他方の面にわたって多孔質化されていない突起状の電極部を必要数設

けた多孔質化された弁金属シート体と、この弁金属シート体の多孔質化された部分に形成された誘電体被膜と、この誘電体被膜上に形成された固体電解質層と、この固体電解質層上に形成された集電体層と、上記電極部と集電体層とを電気的に絶縁する絶縁部とからなるコンデンサ素子を有し、このコンデンサ素子の接続端子部が回路基板の内層部の配線と接続されるように埋め込まれてなる回路モジュール。

【請求項7】 上面から下面にわたって多孔質化されていない電極部を必要数設けた多孔質化された弁金属シート体と、この弁金属シート体の多孔質化された部分に形成された誘電体被膜と、この誘電体被膜上に形成された固体電解質層と、この固体電解質層上に形成された集電体層と、上記電極部と集電体層とを電気的に絶縁する絶縁部とからなるシート状のコンデンサ素子を2個以上積層し、上記電極部どうしありおよび集電体どうしを電気的に接続して構成したコンデンサ素子を有し、このコンデンサ素子は内蔵される回路基板の表面に接続端子部が形成されるように埋め込まれてなる回路モジュール。

【請求項8】 上面から下面にわたって多孔質化されていない電極部を必要数設けた多孔質化された弁金属シート体と、この弁金属シート体の多孔質化された部分に形成された誘電体被膜と、この誘電体被膜上に形成された固体電解質層と、この固体電解質層上に形成された集電体層と、上記電極部と集電体層とを電気的に絶縁する絶縁部とからなるシート状のコンデンサ素子を2個以上積層し、上記電極部どうしありおよび集電体どうしを電気的に接続して構成したコンデンサ素子を有し、このコンデンサ素子の接続端子部が回路基板の内層部の配線と接続されるように埋め込まれてなる回路モジュール。

【請求項9】 第一の接続端子と第二の接続端子が同一面内に形成された電極構造を有する請求項1～8のいずれか1つに記載の回路モジュール。

【請求項10】 第一の接続端子と第二の接続端子を弁金属シート体の表裏両面に形成された電極構造を有する請求項1，2，7，8のいずれか1つに記載の回路モジュール。

【請求項11】 第一の接続端子と第二の接続端子を弁金属シート体の片面に形成された電極構造を有する請求項3，4，5，6のいずれか1つに記載の回路モジュール。

【請求項12】 弁金属シート体として、電極部を除いてエッティング処理したアルミニウム箔を用いた請求項1～8のいずれか1つに記載の回路モジュール。

【請求項13】 弁金属シート体として、弁金属粉末の焼結体を用いた請求項1～8のいずれか1つに記載の回路モジュール。

【請求項14】 第一の接続端子と第二の接続端子が交互に配列された電極構造を有する請求項1～8のいずれか1つに記載の回路モジュール。

【請求項15】表面に形成される第一の接続端子と第二の接続端子の表面に接続バンプを形成した請求項1, 3, 5, 7のいずれか1つに記載の回路モジュール。

【請求項16】接続端子部と配線基板のインナーピアホール、内部配線層との接続に導電性接着剤を用いた請求項1～8のいずれか1つに記載の回路モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は各種電子機器に利用されるコンデンサを内蔵した回路モジュールに関するものである。

【0002】

【従来の技術】従来における回路モジュールとしては、回路基板の内層に積層セラミックコンデンサを埋め込み、回路基板上に集積回路、その他コイル、抵抗器などの電子部品を実装したり、あるいは回路基板の内層に薄膜または厚膜技術を用いてコンデンサを形成したりして構成されていた。

【0003】

【発明が解決しようとする課題】しかしながら従来の回路モジュールは、二端子構造のコンデンサを内蔵しているのに対し、半導体部品は狭ピッチで多数の接続端子を有している。特に半導体部品との接続に関しては高周波化が進み、低E S R性能（等価直列抵抗）とともに低E S L性能（等価直列インダクタンス）も要求されてきており、従来の二端子構造のコンデンサでは対応できなくなってきた。また、積層セラミックコンデンサは非常に割れやすく、回路基板に内蔵するとき機械的強度の関係で厚みを薄くすることが困難であり、回路モジュールの薄型化が難しい。

【0004】また、薄膜あるいは厚膜法で回路基板の内層にコンデンサを形成する場合においては、静電容量値の大きなコンデンサは実現が困難であり、またその製造プロセスが複雑となり、信頼性と大容量化の点で技術的に対応することが困難であった。

【0005】本発明は半導体と直接あるいは最短の配線長で接続でき、コンデンサ素子の接続端子構造を工夫することによって高周波応答性に優れ、小型化、低背化に寄与する回路モジュールを提供することを目的とする。

【0006】

【課題を解決するための手段】上記課題を解決するために本発明の請求項1に記載の発明は、上面から下面にわたって多孔質化されていない電極部を必要数設けた多孔質化された弁金属シート体と、この弁金属シート体の多孔質化された部分に形成された誘電体被膜と、この誘電体被膜上に形成された固体電解質層と、この固体電解質層上に形成された集電体層と、上記電極部と集電体層とを電気的に絶縁する絶縁部とからなるコンデンサ素子を有し、このコンデンサ素子は内蔵される回路基板の表面に第一と第二の接続端子部が形成されるように埋め込まれてなる回路モジュールであり、固体電解コンデンサの表面に接続端子を形成し、その接続端子上に半導体を始めとして各種電子部品を実装可能とし、高周波応答性の著しい向上とモジュールの小型、低背化を図ることができる。

【0007】請求項2に記載の発明は、上面から下面にわたって多孔質化されていない電極部を必要数設けた多孔質化された弁金属シート体と、この弁金属シート体の多孔質化された部分に形成された誘電体被膜と、この誘電体被膜上に形成された固体電解質層と、この固体電解質層上に形成された集電体層と、上記電極部と集電体層とを電気的に絶縁する絶縁部とからなるコンデンサ素子を有し、このコンデンサ素子の接続端子部が回路基板の内層部の配線と接続されるように埋め込まれてなる回路モジュールであり、上記請求項1の作用に加えて半導体部品とコンデンサ素子の端子ピッチが合わなくても最短に近い配線長で接続することができ、実装性に優れたものとすることができる。

【0008】請求項3に記載の発明は、弁金属シート体の片面に多孔質化されていない電極部を必要数設けた多孔質化された弁金属シート体と、この弁金属シート体の多孔質化された部分に形成された誘電体被膜と、この誘電体被膜上に形成された固体電解質層と、この固体電解質層上に形成された集電体層と、上記電極部と集電体層とを電気的に絶縁する絶縁部とからなるコンデンサ素子を有し、このコンデンサ素子は内蔵される回路基板の表面に第一と第二の接続端子部が形成されるように埋め込まれてなる回路モジュールであり、上記請求項1の作用に加えて大容量化が図れる。

【0009】請求項4に記載の発明は、弁金属シート体の片面から他方の面にわたって多孔質化されていない突起状の電極部を必要数設けた多孔質化された弁金属シート体と、この弁金属シート体の多孔質化された部分に形成された誘電体被膜と、この誘電体被膜上に形成された固体電解質層と、この固体電解質層上に形成された集電体層と、上記電極部と集電体層とを電気的に絶縁する絶縁部とからなるコンデンサ素子を有し、このコンデンサ素子の接続端子部が回路基板の内層部の配線と接続されるように埋め込まれてなる回路モジュールであり、上記請求項2の作用に加えて大容量化が図れる。

【0010】請求項5に記載の発明は、弁金属シート体の片面から他方の面にわたって多孔質化されていない突起状の電極部を必要数設けた多孔質化された弁金属シート体と、この弁金属シート体の多孔質化された部分に形成された誘電体被膜と、この誘電体被膜上に形成された固体電解質層と、この固体電解質層上に形成された集電体層と、上記電極部と集電体層とを電気的に絶縁する絶縁部とからなるコンデンサ素子を有し、このコンデンサ素子は内蔵される回路基板の表面に第一と第二の接続端子が形成されるように埋め込まれてなる回路モジュール

であり、上記請求項1の作用に加えて、電流容量の大きなものとすることができる。

【0011】請求項6に記載の発明は、弁金属シート体の片面から他方の面にわたって多孔質化されていない突起状の電極部を必要数設けた多孔質化された弁金属シート体と、この弁金属シート体の多孔質化された部分に形成された誘電体被膜と、この誘電体被膜上に形成された固体電解質層と、この固体電解質層上に形成された集電体層と、上記電極部と集電体層とを電気的に絶縁する絶縁部とからなるコンデンサ素子を有し、このコンデンサ素子の接続端子部が回路基板の内層部の配線と接続されるように埋め込まれてなる回路モジュールであり、上記請求項2の作用に加えて電流容量の大きなものとすることができる。

【0012】請求項7に記載の発明は、上面から下面にわたって多孔質化されていない電極部を必要数設けた多孔質化された弁金属シート体と、この弁金属シート体の多孔質化された部分に形成された誘電体被膜と、この誘電体被膜上に形成された固体電解質層と、この固体電解質層上に形成された集電体層と、上記電極部と集電体層とを電気的に絶縁する絶縁部とからなるシート状のコンデンサ素子を2個以上積層し、上記電極部どうしあり集電体どうしを電気的に接続して構成したコンデンサ素子を有し、このコンデンサ素子は内蔵される回路基板の表面に第一と第二の接続端子が形成されるように埋め込まれてなる回路モジュールであり、大容量化を実現できる。

【0013】請求項8に記載の発明は、上面から下面にわたって多孔質化されていない電極部を必要数設けた多孔質化された弁金属シート体と、この弁金属シート体の多孔質化された部分に形成された誘電体被膜と、この誘電体被膜上に形成された固体電解質層と、この固体電解質層上に形成された集電体層と、上記電極部と集電体層とを電気的に絶縁する絶縁部とからなるシート状のコンデンサ素子を2個以上積層し、上記電極部どうしあり集電体どうしを電気的に接続して構成したコンデンサ素子を有し、このコンデンサ素子の接続端子部が回路基板の内層部の配線と接続されるように埋め込まれてなる回路モジュールであり、大容量化を実現できる。

【0014】請求項9に記載の発明は、第一の接続端子と第二の接続端子が同一面内に形成された電極構造を有する請求項1～8のいずれか1つに記載の回路モジュールであり、インピーダンスの低いものとすることができる。

【0015】請求項10に記載の発明は、第一の接続端子と第二の接続端子を弁金属シート体の表裏両面に形成された電極構造を有する請求項1, 2, 7, 8のいずれか1つに記載の回路モジュールであり、狭ピッチの配線接続性に優れる。

【0016】請求項11に記載の発明は、第一の接続端

子と第二の接続端子を弁金属シート体の片面に形成された電極構造を有する請求項3, 4, 5, 6のいずれか1つに記載の回路モジュールであり、高周波応答性に優れた電気的性能を実現することができる。

【0017】請求項12に記載の発明は、弁金属シート体として電極部を除いてエッチング処理したアルミニウム箔を用いた請求項1～8のいずれか1つに記載の回路モジュールであり、量産性に優れた製造方法にて生産することができる。

【0018】請求項13に記載の発明は、弁金属シート体として弁金属粉末の焼結体を用いた請求項1～8のいずれか1つに記載の回路モジュールであり、大きな容量のコンデンサを内蔵することができる。

【0019】請求項14に記載の発明は、第一の接続端子と第二の接続端子が交互に配列された電極構造を有する請求項1～8のいずれか1つに記載の回路モジュールであり、高周波応答性に優れたコンデンサを内蔵することができる。

【0020】請求項15に記載の発明は、表面に形成される第一の接続端子と第二の接続端子の表面に接続バンプを形成した請求項1, 3, 5, 7のいずれか1つに記載の回路モジュールであり、高周波応答性に優れたモジュールを得ることができる。

【0021】請求項16に記載の発明は、接続端子部と配線基板のインナーピアホール、内部配線層との接続に導電性接着剤を用いた請求項1～8のいずれか1つに記載の回路モジュールであり、量産性に優れた製造方法を実現することができる。

【0022】

【発明の実施の形態】以下、本発明の回路モジュールについて実施の形態および図面を用いて説明する。

【0023】(実施の形態1) 本発明の実施の形態1および図1～図6により請求項1, 2, 9～16に記載の発明を説明する。

【0024】図1は本発明の実施の形態1におけるコンデンサ素子(固体電解コンデンサ)の上面図であり、図2は図1のA-A'部における断面図、図3は同要部の拡大断面図、図4は弁金属の粉末焼結体を用いたコンデンサ素子の断面図である。また、図5、図6は本発明の回路モジュールの断面図である。

【0025】図1～図6において、1はシート状のコンデンサ素子であり、このコンデンサ素子1は上面から下面にわたって多孔質化されていない電極部2を複数個設けた多孔質化された弁金属シート体3と、この弁金属シート体3の多孔質化された部分の表面に誘電体被膜4を設け、この誘電体被膜4上に固体電解質層5を設け、この固体電解質層5上に集電体層6を設け、上記電極部2と誘電体被膜4、固体電解質層5、集電体層6との間に設けた絶縁部7とにより構成されている。

【0026】なお、このコンデンサ素子1として上記構

成であっても機能を発揮するが、上記電極部2の表出面に別の金属層を形成して第一の接続端子8とし、絶縁部7の周囲の集電体層6上に別の金属層を形成して第二の接続端子9とすることが好ましい。このように構成されたコンデンサ素子1の外表面部にエポキシ樹脂などの絶縁膜16を形成してコンデンサ素子1としている。

【0027】上記弁金属シート体3としては、アルミニウム箔を用いて電極部2に相当する部分を除いてエッチングして多孔質化することで構成することができ、この弁金属シート体3の多孔質化された部分の表面に形成する誘電体被膜4は、エッチングされたアルミニウム箔を化成液中で陽極酸化することにより、表面および孔表面に誘電体酸化被膜を形成して構成することができる。

【0028】また、固体電解質層5はポリビロールやポリチオフェンなどの機能性高分子を化学重合や電解重合によって形成して導電性高分子層にしたものや、硝酸マンガン溶液を含侵させてから熱分解することにより二酸化マンガン層にしたもので構成することができる。

【0029】さらに集電体層6としては、カーボン層単独あるいはカーボン層と銀ペースト層の積層構造とすることができます。また、絶縁部7としては、印刷性や撥水性などに優れたシリコン樹脂を用いることができ、この他にエポキシ樹脂、フッ素系樹脂を用いることもできる。

【0030】本発明において、第一の接続端子8と第二の接続端子9は図1に示すように交互に配列させており、このような端子配列構造とすることによって低ESR特性（等価直列抵抗）、低ESL特性（等価直列インダクタンス）を実現する構造となっている。この接続端子配置構造は図1のように規制配列することによって最適の高周波応答性を示すが、この直上に実装する半導体部品の端子配置に合わせて変更をしてよい。

【0031】第一、第二の接続端子8、9としては銅、半田、銀、金、ニッケルなどの金属を用いることができ、単層あるいはこれらの金属の積層構成としてもよい。

【0032】次に弁金属粉末の焼結体を用いたコンデンサ素子の構造について説明する。

【0033】図4は弁金属粉末の焼結体を用いたコンデンサ素子を示す要部の断面図である。

【0034】このコンデンサ素子1はタンタル粉末をシートに形成し、これを焼結して弁金属シート体3とし、この弁金属シート体3の電極部2とする部分に化成液が侵入しないよう、例えばエポキシ樹脂などの樹脂材22を焼結体の空隙部に充填した後この焼結体を陽極酸化し、他の部分に誘電体酸化被膜からなる誘電体被膜を形成し、この誘電体被膜の上に導電性高分子あるいは二酸化マンガンなどの固体電解質層、さらにこの固体電解質層上にカーボンや銀ペーストの集電体層を形成し、上記電極部2の表出面の周囲に絶縁部7を設け、この絶縁部

7内に電極部2と接続された第一の接続端子8を設け、絶縁部7の周囲の集電体層に接続された第二の接続端子9を設けた構成となっている。

【0035】このように弁金属粉末の焼結体を用いるのはエツチングによって多孔質化されたアルミニウム箔を弁金属シート体3としてコンデンサ素子1を構成するものに比べて固体電解コンデンサとしての容量を大きくできる効果が得られるためである。

【0036】以上のように構成したこれらのコンデンサ素子1（固体電解コンデンサ）は、図5、図6に示すように回路基板の中に内蔵される。図5、図6において、12は接続バンプ、20は半導体部品、21はL、C、Rなどの電子部品、30は導電体で構成されたインナービアホール、40、41は回路基板の内層の配線層、100、101は外部端子を示す。

【0037】上記のコンデンサ素子1を図5に示すように多層配線構造を有する回路基板の最外層の同一平面上にコンデンサ素子1の片面の第一の接続端子8と第二の接続端子9とが露出するように回路基板に埋め込む。

【0038】この状態でリード端子を有する半導体部品20の場合には半導体部品20のリード端子とコンデンサ素子1の各接続端子をはんだなどで接続することができる。

【0039】しかしながら、昨今の半導体部品20は狭ピッチ構造となり、駆動周波数も高速化が進んでいる。そのため、バンプ構造を有する半導体部品が急速に高密度実装用半導体部品の主流となってきている。このバンプ構造を有する半導体部品20との接続を可能するために、表面に露出した第一、第二の接続端子8、9上には接続バンプ12を形成している。この接続バンプ12を介して直上に狭ピッチ、多ピッチ構造の半導体部品20がバンプ実装され、コンデンサ素子1と最短の配線距離で接続できることになり、コンデンサ素子1の端子構造とも相俟って低ESR特性、低ESL特性を実現することができる。

【0040】コンデンサ素子1の下面にある第一及び第二の接続端子8、9は回路基板の内層の配線層40、41とインナービアホール30を介して他の部品21などとも接続可能である。このとき接続の方法として導電性接着剤を用いてコンデンサ素子1の各第一、第二の接続端子8、9とインナービアホール30とを接続することによって接続の信頼性と生産性の高い製造方法を実現することができる。また、回路モジュールとマザーボード、あるいは回路モジュールと回路モジュール間ととの接続については内部の配線層40、41、インナービアホール30などを通じて外部端子100、101に接続されているので外部端子100、101と接続すればよい。

【0041】以上述べてきたように半導体部品20とコンデンサ素子1の第一と第二の接続端子8、9の端子ビ

ッチが合致しているときには図5のように構成すると半導体部品20とコンデンサ素子1が最短の距離で接続されることになり、高周波応答性が飛躍的に向上する。

【0042】しかしながら半導体部品20によってはピッチ構造の異なる半導体部品も数多くある。そのため本発明では、図6に示すようにコンデンサ素子1を回路基板の内層部に配置しておき、最表層では設計変更が容易にできる回路基板の接続端子と半導体部品20を接続し、コンデンサ素子1との接続は回路基板の内層にてインナービアホール30あるいは配線層40、41を介して導電性接着剤を用いて接続する構造としている。この構造にすることによって、コンデンサ素子1の端子ピッチと半導体部品20の端子ピッチが異なっても内部配線構造を設計変更することによって自由に接続することができる。

【0043】その結果、半導体部品20との接続および表面に実装する他の部品21との接続も最短に近い配線長で接続することができるようになる。

【0044】(実施の形態2) 次に本発明の実施の形態2により請求項3、4の発明について説明する。図7は実施の形態2におけるコンデンサ素子(固体電解コンデンサ)の上面図、図8は同断面図、図9、図10は実施の形態2における回路モジュールの断面図である。

【0045】この実施の形態2において、基本的な構成は実施の形態1と同様であり、異なる点はコンデンサ素子の構造であり、より大容量のコンデンサ素子を内蔵する構成とした点にある。

【0046】図7、図8に示すように実施の形態1における電極構造よりもさらに多孔質部の占有面積を増大させた構造を実現しており、シート状のコンデンサ素子1の片面に第一と第二の接続端子8、9を交互に配置することによって大容量化とともに低ESR化と低ESL化が図れ、高周波でのインピーダンス特性を大きく改善でき、その結果高周波応答性の優れたものとすることができます。

【0047】以上のコンデンサ素子1を図9に示すように多層配線構造の回路基板の最表層の同一面上にコンデンサ素子1の第一の接続端子8と第二の接続端子9とが露出するように回路基板に埋め込む。このとき最表層に露出した第一、第二の接続端子8、9上には接続バンプ12を形成しておき、この接続バンプ12を介して直上に半導体部品20が搭載され、コンデンサ素子1と最短の配線距離で接続される。

【0048】コンデンサ素子1の下面にある接続端子9は回路基板の配線層40、41とインナービアホール30を介して他の部品21などと導電性接着剤にて接続される。また、回路モジュールとマザーボード、あるいは回路モジュールと回路モジュール間との接続については実施の形態1と同じ方法で接続すればよい。

【0049】以上の構成にすることによって大容量のコ

ンデンサ素子1を内蔵することが可能となり、小型・低背型回路モジュールを実現できる。さらに図10に示すようにコンデンサ素子1を回路基板の内層部に配置しておき、表面では設計変更が容易にできる回路基板の最外層の各接続端子と半導体部品20を接続し、コンデンサ素子1との接続は回路基板の内層にてインナービアホール30あるいは配線層40、41を介して導電性接着剤を用いて接続する構造とすることによって、コンデンサ素子1の端子ピッチと半導体部品20の端子ピッチが異なっても内部配線構造を設計変更することによって自由に接続することができる。

【0050】このように実施の形態2のコンデンサ素子1は、片面に第一、第二の接続端子8、9を設けることにより、半導体部品20との実装および回路基板への内蔵実装が容易になり、高周波応答性に優れるとともにより小型で静電容量の大きなコンデンサ素子1を内蔵した回路モジュールを実現することができる。

【0051】(実施の形態3) 次に本発明の実施の形態3により請求項5、6の発明について説明する。図11は実施の形態3におけるコンデンサ素子(固体電解コンデンサ)の上面図、図12は同断面図、図13、図14は実施の形態3における回路モジュールの断面図である。

【0052】この実施の形態3において、基本的な構成は実施の形態1、2と同様であり、異なる点はコンデンサ素子の構造であり、より電流容量の大きなコンデンサ素子を内蔵する構成とした点にある。

【0053】図11、図12に示すように実施の形態1における電極部よりもさらに導体抵抗を低減した構造を実現しており、シート状のコンデンサ素子1の片面に第一と第二の接続端子8、9を交互に配置するとともに、他方の面には多孔質化されない電極部2を全面に残しその表面に第一の接続端子8を形成しているので低ESR化と低ESL化が図れるとともに電流容量を大きく流すことができる。その結果大電流への対応が可能となるとともに、高周波応答性の優れたものとすることができます。

【0054】上記のコンデンサ素子1を図13に示すように多層配線構造の回路基板の最表層の同一平面上にコンデンサ素子1の第一の接続端子8と第二の接続端子9とが露出するように回路基板に埋め込む、さらに半導体部品20とコンデンサ素子1の各接続端子ピッチが異なっているときには、図14に示すようにコンデンサ素子1を回路基板の内層部に配置しておき、表面では微細配線加工が可能な回路基板の端子と半導体部品20を接続バンプ12にて接続し、コンデンサ素子1との接続は回路基板の内層にてインナービアホール30あるいは配線層40、41を介して接続する構造としている。この構造にすることによってコンデンサ素子1の端子ピッチと半導体部品20の端子ピッチが異なっても最短に近い配

線長で接続することができる。

【0055】このように実施の形態3のコンデンサ素子1は、片面に第一、第二の接続端子8、9を設け他面に多孔質化されない電極部2を残すことにより、半導体部品との実装および回路基板への内蔵実装が容易になるとともに、より小型で許容電流の大きな高周波応答性に優れた回路モジュールを得ることができる。

【0056】(実施の形態4) 次に本発明の実施の形態4により請求項7、8の発明について説明する。図15は実施の形態4におけるコンデンサ素子(固体電解コンデンサ)の上面図、図16は同断面図、図17、図18は実施の形態4における回路モジュールの断面図である。

【0057】この実施の形態4において、基本的な構成は実施の形態1と同様であり、異なる点はコンデンサ素子の構造であり、より大容量のコンデンサ素子を内蔵する構成とした点にある。

【0058】図15、図16に示すような実施の形態1で示したコンデンサ素子1を2個第一の接続端子8どうし、第二の接続端子9どうしを接続導体13で接続して積層した積層構造のコンデンサ素子を実現しており、シート状の積層コンデンサ素子1aの両面に第一と第二の接続端子8、9を交互に配置することによって大容量化とともに低ESR化と低ESL化が図れ、高周波でのインピーダンス特性を大きく改善でき、その結果高周波応答性の優れたものとすることができます。

【0059】上記の積層コンデンサ素子1aを図17に示すように多層配線構造の回路基板の最表層の同一平面上に積層コンデンサ素子1aの第一の接続端子8と第二の接続端子9とが露出するように回路基板に埋め込む。さらに半導体部品20と積層コンデンサ素子1aの各接続端子ピッチが異なっているときには、図18に示すように積層コンデンサ素子1aを回路基板の内層部に配置しておき、表層では微細配置加工が可能な回路基板の端子と半導体部品20を接続バンプ12にて接続し、積層コンデンサ素子1aとの接続は回路基板の内層にてインナービアホール30あるいは配線層40、41を介して接続する構造としている。この構造にすることによって積層コンデンサ素子1aの端子ピッチと半導体部品20の端子ピッチが異なっても最短の配線長で接続することができます。

【0060】このように実施の形態4の積層コンデンサ素子1aは、両面に第一、第二の接続端子8、9を設けることにより、半導体部品との実装および回路基板への内蔵実装が容易になるとともに、積層のコンデンサ素子1aを回路基板内に内蔵することによって、高周波応答性に優れ、静電容量の大きなコンデンサも内蔵することができる回路モジュールを実現することができる。

【0061】

【発明の効果】以上のように本発明の回路モジュールは

構成されるため、半導体部品と高周波応答性に優れた大容量のコンデンサ素子との最短接続が可能となり、高周波応答性に優れ、小型化、低背化を実現できる回路モジュールを実現することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1におけるコンデンサ素子の上面図

【図2】同断面図

【図3】同要部の拡大断面図

【図4】弁金属粉末の焼結体シートによるコンデンサ素子の断面図

【図5】本発明の実施の形態1における回路モジュールの断面図

【図6】同他の例を示す回路モジュールの断面図

【図7】本発明の実施の形態2におけるコンデンサ素子の上面図

【図8】同断面図

【図9】本発明の実施の形態2における回路モジュールの断面図

【図10】同他の例の回路モジュールの断面図

【図11】本発明の実施の形態3におけるコンデンサ素子の上面図

【図12】同断面図

【図13】本発明の実施の形態3における回路モジュールの断面図

【図14】同他の例の回路モジュールの断面図

【図15】本発明の実施の形態4におけるコンデンサ素子の上面図

【図16】同断面図

【図17】本発明の実施の形態4における回路モジュールの断面図

【図18】同他の例の回路モジュールの断面図

【符号の説明】

1, 1a コンデンサ素子

2 電極部

3 弁金属シート体

4 誘電体被膜

5 固体電解質層

6 集電体層

7 絶縁部

8 第一の接続端子

9 第二の接続端子

10 層間接続材

12 接続バンプ

13 接続導体

16 絶縁膜

20 半導体部品

21 電子部品

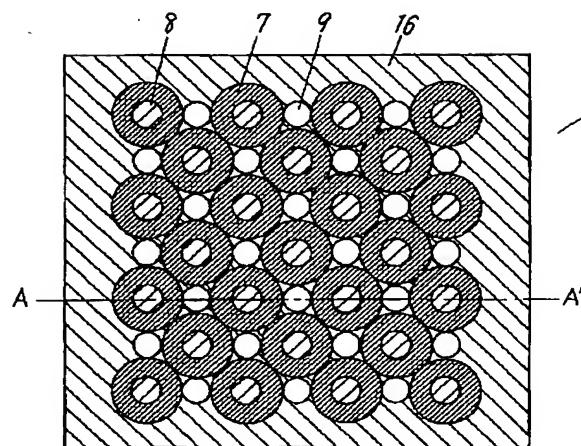
22 樹脂材

30 インナービアホール

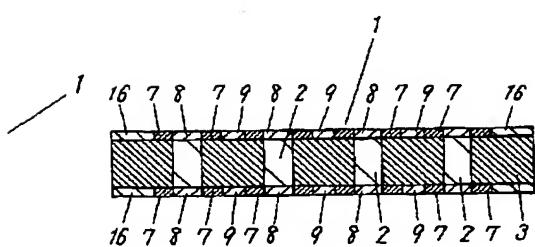
40, 41 配線層

100, 101 外部端子

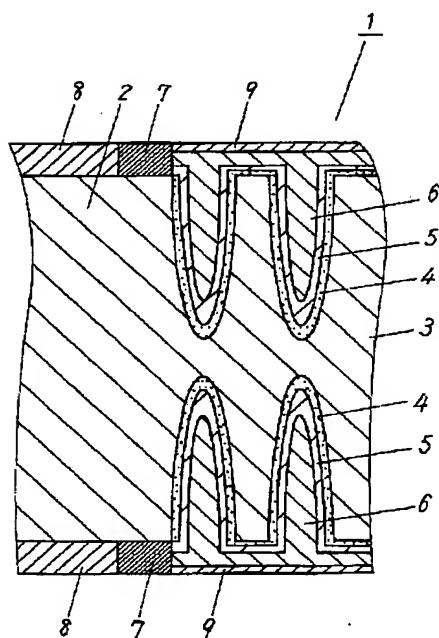
【図1】



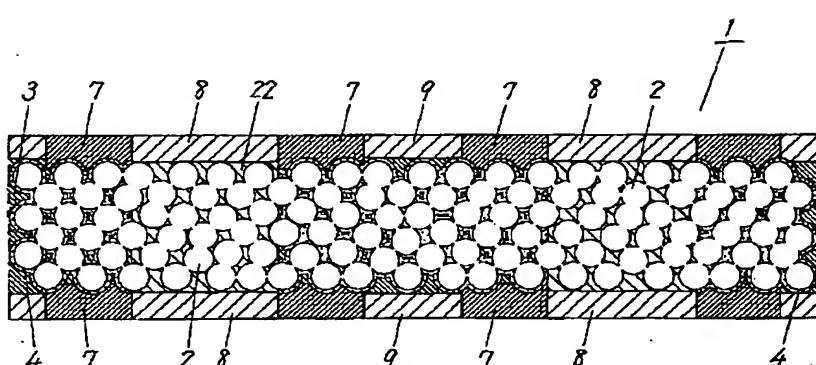
【図2】



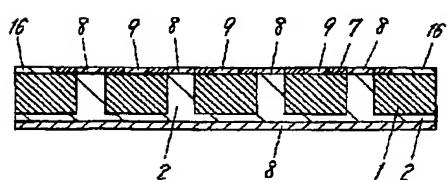
【図3】



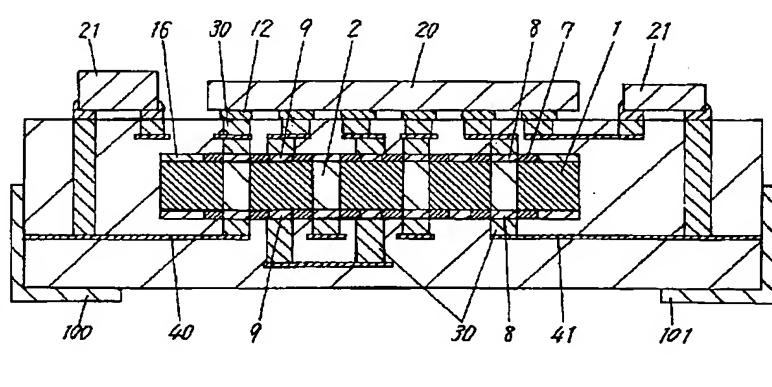
【図4】



【図12】

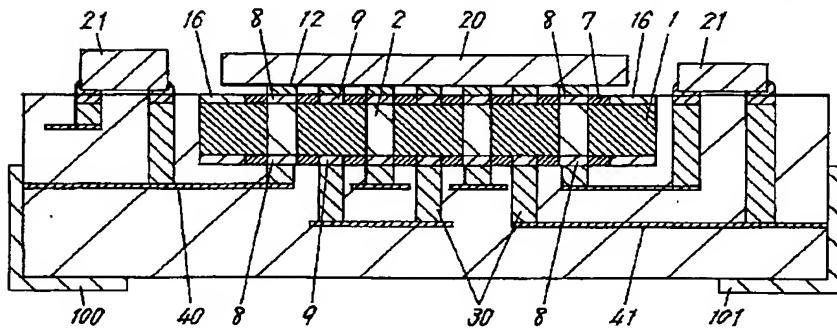


【図6】

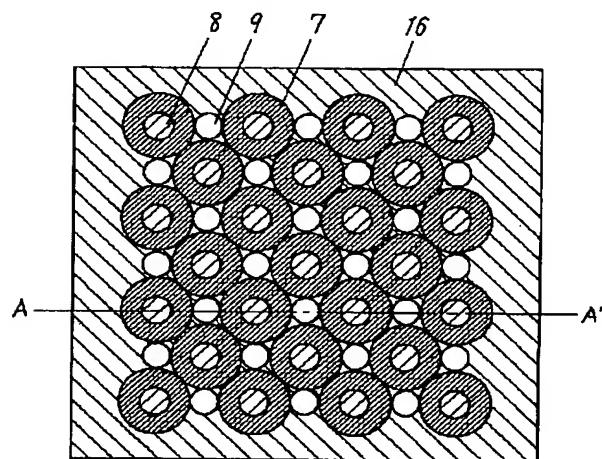


【図5】

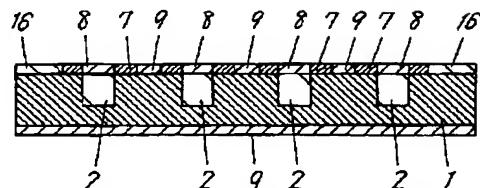
1 コンデンサ素子	8 第一の接続端子	21 電子部品
2 電極部	9 第二の接続端子	30 インナービアホール
7 絶縁部	12 接続パンア	40,41 配線層
20 半導体部品		100,101 外部端子



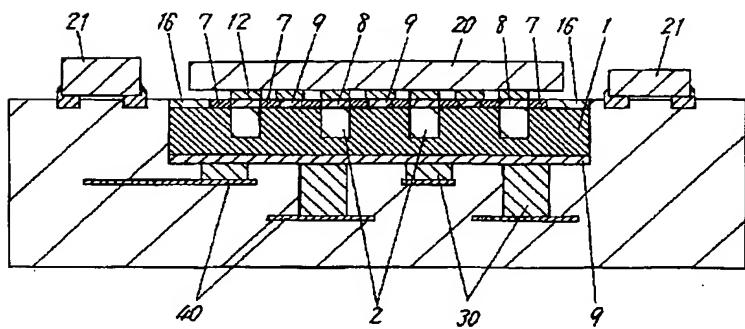
【図7】



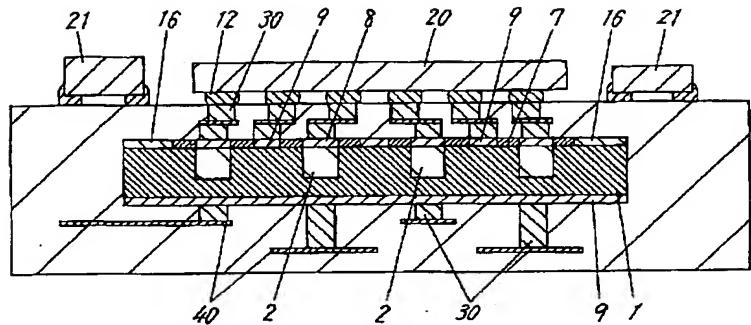
【図8】



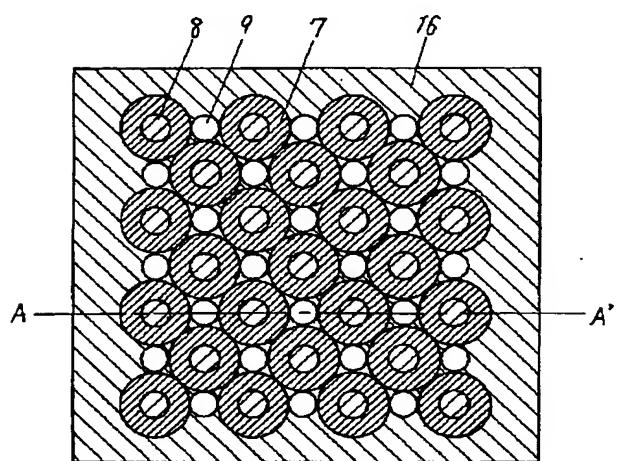
【図9】



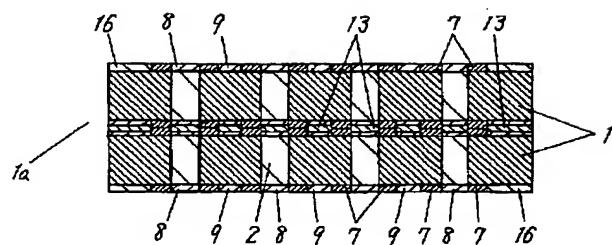
【図10】



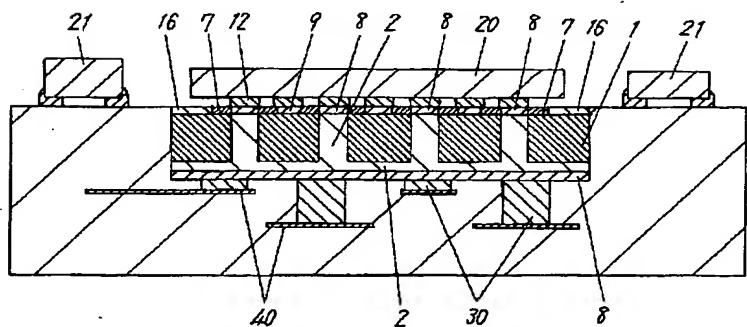
【図11】



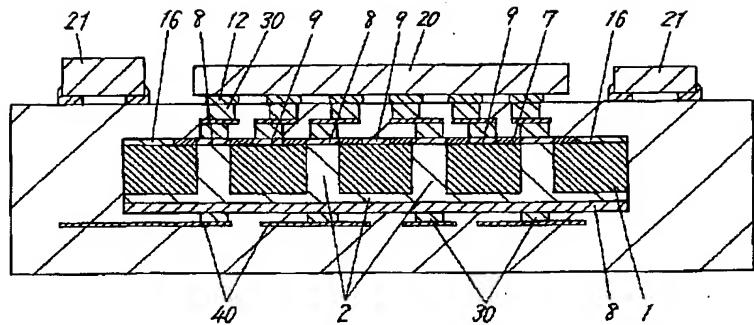
【図16】



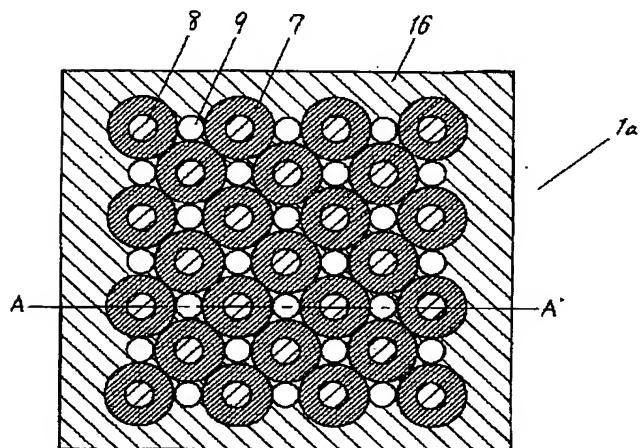
【図13】



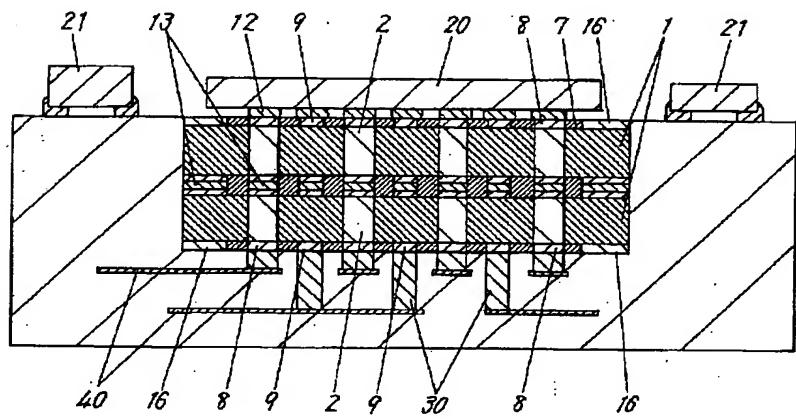
【図14】



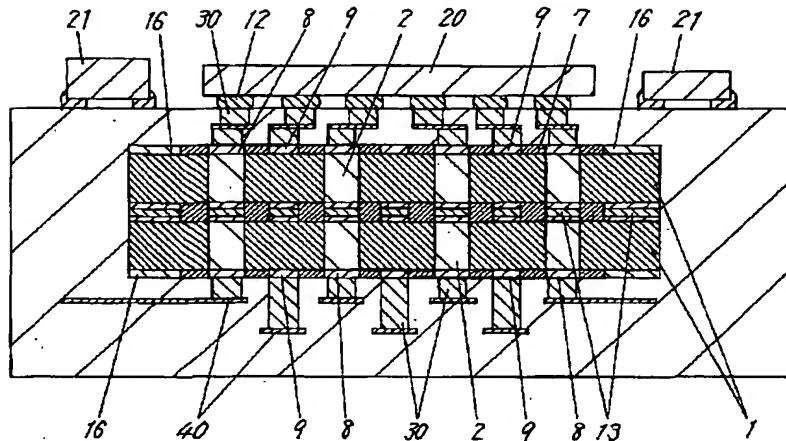
【図15】



【図17】



【図18】



## フロントページの続き

(72) 発明者 藤井 達雄

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 御堂 勇治

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 是近 哲広

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

F ターム(参考) 5E346 AA12 AA13 AA15 AA22 AA23  
AA43 AA51 BB20 CC21 CC34  
DD07 HH06 HH22